

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-152965

(43)Date of publication of application : 27.05.2004

(51)Int.Cl.

H01L 21/324
H01L 21/316
H01L 29/78

(21)Application number : 2002-315901

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.10.2002

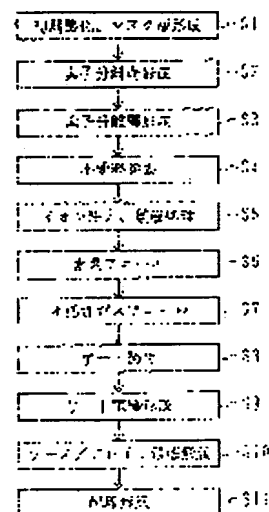
(72)Inventor : INOUE HIROKO
TAMURA NAOYOSHI
HORI MITSUAKI

(54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technology for reducing the micro roughness on the surface of a silicon substrate.

SOLUTION: A manufacturing method of a semiconductor device has a process (a) for preparing a silicon substrate provided with a crystal face having high symmetry or a surface following vicinity of it, a hydrogen annealing process (b) for annealing the silicon substrate in an atmosphere containing hydrogen and removing a natural oxide film, an inert gas annealing process (c) for annealing the silicon substrate in an inert gas atmosphere after the process (b) and generating migration of a silicon atom, and a process (d) for forming a gate insulating film on a surface of the silicon substrate after the process (c).



LEGAL STATUS

[Date of request for examination]

11.08.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

(a) The process for which the silicon substrate which has the crystal face where symmetric property is high, or a front face along the near is prepared,

(b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere containing hydrogen, and removing the natural oxidation film on a silicon front face,

(c) The inert gas annealing process of annealing said silicon substrate in an inert gas ambient atmosphere after said process (b), and producing the migration of a silicon atom,

(d) The process which forms gate dielectric film in said silicon substrate surface after said process (c),

The manufacture approach of a ***** semiconductor device.

[Claim 2]

Said process (b) is the manufacture approach of the semiconductor device according to claim 1 performed the finite time for 60 or less seconds at 900 degrees C - 1050 degrees C.

[Claim 3]

Said process (b) is the manufacture approach of the semiconductor device according to claim 1 or 2 performed under reduced pressure lower than ordinary pressure.

[Claim 4]

Said process (c) is the manufacture approach of the semiconductor device of claims 1-3 given in any 1 term for 60 or less seconds performed finite time amount length at 500 degrees C - 1050 degrees C.

[Claim 5]

Said process (c) is the manufacture approach of the semiconductor device of claims 1-4 given in any 1 term performed in helium ambient atmosphere.

[Claim 6]

the epitaxial substrate with which said silicon substrate grew epitaxial layer silicon on the silicon substrate substrate with which the off angle type from a field (100) has the front face of 0.2 or less degrees -- it is -- further

(e) The process which forms a gate electrode on said gate dielectric film

The manufacture approach of the semiconductor device of ***** claim 1-5 given in any 1 term.

[Claim 7]

- (a) The process for which the silicon substrate which has the crystal face where symmetric property is high, or a front face along the near is prepared,
(b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere which contains the finite time amount for 60 or less seconds, and hydrogen at 900 degrees C - 1050 degrees C, and removing the natural oxidation film,
(c) The process which forms gate dielectric film in said silicon substrate surface after said process (b),

The manufacture approach of a ***** semiconductor device.

[Claim 8]

Further,

- (d) The inert gas annealing process of annealing said silicon substrate in an inert gas ambient atmosphere, and producing the migration of a silicon atom before said process (c),

The manufacture approach of the semiconductor device ***** claim 7 publication.

[Claim 9]

Said silicon substrate is an epitaxial substrate which grew the high resistivity epitaxial layer on the silicon substrate substrate of low resistivity, and it is a pan,

- (x) Process which forms a shallow trench component isolation region before said process (b),
(y) The process which carries out drug solution processing of the substrate front face after said process (x), and exposes a silicon front face,
(e) The process which forms a gate electrode on said gate dielectric film after said process (c),
(f) The process which forms the source / drain impurity addition field with a junction depth of 0.1 micrometers or less in said gate electrode both sides,

The manufacture approach of the semiconductor device ***** claim 8 publication.

[Claim 10]

The silicon substrate substrate with which the off angle type from the crystal face where symmetric property is high has the front face of 0.02 or less degrees,

The epitaxial silicon layer which is formed on said silicon substrate substrate and has a terrace and the front face which the step actualized,

The shallow trench component isolation region which is formed into said epitaxial silicon layer and demarcates an active region,

Gate dielectric film formed on said active-region front face,

The gate electrode formed on said gate dielectric film,

The source / drain impurity addition field with a junction depth of 0.1 micrometers or less formed all over the active region on said gate electrode both sides,

The semiconductor device which *****.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.***** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]****[Field of the Invention]**

This invention relates to the manufacture approach of a semiconductor device especially with a shallow carrier transportation zone, and a semiconductor device about the manufacture approach of a semiconductor device, and a semiconductor device.

[0002]**[Related Art]**

Various semiconductor devices are formed by forming various semiconductor devices in a silicon substrate. A typical semiconductor device is the MOS transistor of an n channel and a p channel.

[0003]

In recent years, the semiconductor device which constitutes semiconductor integrated circuit equipment is continuing detailed-ization with improvement in a degree of integration. With detailed-ization, the gate length of an MOS transistor becomes short and the junction depth of the source / drain field becomes shallow. It will be conveyed more near the front face of a semi-conductor substrate to carriers which flow the channel field under a gate electrode, such as an electron and an electron hole. If irregularity exists in the front face of a semi-conductor substrate, this irregularity will form the dispersion core over a carrier. When there are many dispersion cores, mobility will fall. The flatter one of the front face of this viewpoint to a channel field is desirable.

[0004]

There are few crystal defects on the substrate silicon substrate of low resistivity, and the epitaxial substrate in which the epitaxial layer of high resistivity was formed is used for the high-end articles of MOS mold semiconductor integrated circuit equipment. The silicon wafer for MOS mold semiconductor integrated circuit equipments is usually (100) cut in the direction of a field.

[0005]

(100) On the silicon substrate which has the front face strictly adjusted in the field, it is hard to carry out epitaxial growth, abnormality growth arises, and it is easy to produce surface Hayes (dry area). Surface Hayes may be counted as particle with a particle counter etc., and stops being able to raise the yield easily.

[0006]

For this reason, the substrate which has the front face which attached the off angle type about about 0.3 to 0.5 degrees intentionally from the field (100) as an epitaxial (100) substrate is used. On the substrate substrate which formed the off angle type, it is easy to carry out epitaxial growth, and hard to produce surface Hayes. Usually, the off angle type is formed in x directions and the direction of y from the field (100).

[0007]

In the production process of semiconductor integrated circuit equipment, drug solution processing in which a silicon surface is dissolved after epitaxial growth for the purpose of particle removal, metal decontamination, etc. is performed. The micro roughness of the active-region surface of semiconductor integrated circuit equipment is by no means good these results. For this reason, it is expected that dispersion of a carrier has arisen with surface irregularity.

[0008]

Moreover, gate dielectric film is thin with detailed-ization. As for the gate dielectric film formed in the large substrate front face of micro roughness, pressure-proofing tends to become low. Moreover, in order to form thin gate oxide, it is desirable that imperfect oxide films, such as natural oxidation film, do not exist in an active-region front face. In addition, in this specification, the imperfect chemistry oxide film produced by drug solution processing etc. is also called the natural oxidation film.

[0009]

In order to raise the surface smoothness of a silicon substrate surface, or in order to raise pressure-proofing of gate dielectric film, performing elevated-temperature annealing in a vacuum, hydrogen gas, or Ar gas is proposed.

[0010]

[Patent reference 1]

JP,9-51097,A

[Patent reference 2]

JP,8-321443,A

[Patent reference 3]

JP,5-347256,A

[0011]

[Problem(s) to be Solved by the Invention]

The purpose of this invention is offering the technique of decreasing the micro roughness of a silicon substrate surface.

[0012]

Other purposes of this invention are offering the approach of performing processing which recovers the configurations of a step and a terrace to a silicon substrate surface.

The purpose of further others of this invention is offering the semiconductor device which improved surface surface smoothness and improved the electronic property.

[0013]

[Means for Solving the Problem]

The process for which the silicon substrate which has the crystal face where (a) symmetric property is high, or a front face along the near according to one viewpoint of this invention is prepared, (b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere containing hydrogen, and removing the natural oxidation film on a silicon front face, (c) The inert gas annealing process of annealing said silicon substrate in an inert gas ambient atmosphere after said process (b), and producing the migration of a silicon atom, (d) The manufacture approach of a semiconductor device including the process which forms gate dielectric film in said silicon substrate surface is offered after said process (c).

[0014]

Here, as for near the crystal face where symmetric property is high, the off angle type from the crystal face where the symmetric property of a field (100) etc. is high points out the field of about 0.2 or less degrees.

The process for which the silicon substrate which has the crystal face where (a) symmetric property is high, or a front face along the near according to other viewpoints of this invention is prepared, (b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere which contains the finite time amount for 60 or less seconds, and hydrogen at 900 degrees C - 1050 degrees C, and removing the natural oxidation film, (c) The manufacture approach of a semiconductor device including the process which forms gate dielectric film in said silicon substrate surface is offered after said process (b).

[0015]

Here, as for near the crystal face where symmetric property is high, the off angle type from the crystal face where the symmetric property of a field (100) etc. is high points out the field of about 0.2 or less degrees.

The silicon substrate substrate of low resistivity with which the off angle type from the crystal face where symmetric property is high has the front face of 0.02 or less degrees according to the viewpoint of further others of this invention, The epitaxial silicon layer which is formed on said silicon substrate substrate, has higher resistivity, and has a terrace and the front face which the step actualized, The shallow trench component isolation region which is formed into said epitaxial silicon layer and demarcates an active region, The semiconductor device which has the gate

dielectric film formed on said active-region front face, the gate electrode formed on said gate dielectric film, and the source / drain impurity addition field with a junction depth of 0.1 micrometers or less formed all over the active region on said gate electrode both sides is offered.

[0016]

[Embodiment of the Invention]

Hereafter, the example of this invention is explained with reference to a drawing.

Drawing 1 is a flow chart which shows the main processes of the manufacture approach of the semiconductor device by the example of this invention. The manufacture approach of a semiconductor device is explained referring to the sectional view of drawing 2 -5. First, in step S1, initial oxidation is performed on the surface of a silicon substrate, and the mask layer of a silicon nitride film is formed continuously.

[0017]

As shown in drawing 2 (A), the buffer oxidation silicone film 2 with a thickness of about 10nm is formed in the front face of the epitaxial silicon substrate 1 which grew the high resistivity epitaxial layer 101 on the low resistivity substrate silicon substrate 100 by thermal oxidation. This silicon oxide film functions as a buffer layer to the silicon nitride film formed on it, and eases the stress which a silicon nitride film gives.

[0018]

The silicon substrate 100 of a substrate has the front face of 0.2 or less degrees from the front face along the crystal face where symmetric property is high, or its near, for example, (100), a field. As shown in drawing 2 (B), micro roughness exists in silicon substrate 1 front face, and the crystal face of a field (100) etc. is not actualized. The thermal oxidation film 2 grows reflecting surface irregularity.

[0019]

As shown in drawing 2 (C), the silicon nitride film 3 with a thickness of about 100-150nm is deposited by chemical vapor deposition (CVD) on the buffer oxidation silicone film 2. A silicon nitride film 3 functions as a mask layer in a next etching process.

[0020]

In step S2, an isolation slot is formed in drawing 1 following return and step S1.

As shown in drawing 2 (C), in order to form an isolation slot, on a silicon nitride film 3, a photoresist layer is applied, exposure development is carried out, and the resist pattern 4 for component isolation region formation is formed. A resist pattern 4 has opening corresponding to an isolation slot.

[0021]

A silicon nitride film 3 and the silicon oxide film 2 are etched by using a resist pattern 4 as a mask, and a silicon substrate 1 is etched further, for example, the trench 6 with a depth of 500nm is formed. A silicon nitride film 3 functions as a mask when etching a trench, and keeps the configuration of a trench exact.

[0022]

In addition, etching of a silicon nitride film and the silicon oxide film uses the mixed gas of CF₄, CHF₃, and Ar as etching gas. Etching of a silicon substrate uses the mixed gas of HBr and O₂ as etching gas. Then, a resist pattern 4 is removed. Thus, an isolation slot is formed.

[0023]

Step S3 is performed to drawing 1 following return and step S2, and a component detached core is formed.

As shown in drawing 2 (D), the oxidation silicone film 7 with a thickness of about 10nm is formed by thermal oxidation on the silicon substrate 1 front face first exposed to the trench 6. The silicon oxide film 9 is deposited 500nm in thickness by high density plasma (HDP) chemical vapor deposition (CVD) so that the trench 6 with which the silicon oxide film 7 was formed may be embedded. The oxidation silicone film 9 forms an irregular front face according to the irregularity on the front face

of a substrate.

[0024]

In drawing 1, the garbage of the film which formed by performing step S4 is removed following step S3.

As shown in drawing 3 (E), by chemical machinery polish (CMP), the oxidation silicone film 9 on silicon nitride film 3 front face is ground, and a flat front face is formed. CMP is stopped with a silicon nitride film 3. Then, it is desirable to perform annealing at 1000 degrees C among a nitrogen (N₂) ambient atmosphere, and to perform eburnation of the embedding oxidation silicone film 9.

[0025]

As shown in drawing 3 (F), wet etching of the silicon nitride film 3 used as a mask for isolation slot formation is carried out, and heat phosphoric acid removes it. The embedding silicon oxide film 9 is also etched a little.

[0026]

drawing 1 -- setting -- step S4 -- continuing -- step S5 -- a well -- drug solution processing for the buffer oxidation silicone film removal after the ion implantation for formation and an ion implantation etc. is performed.

As shown in drawing 3 (G), an n channel field and a p channel field are separately exposed with a resist mask, an ion implantation is performed through the oxidation silicone film 2, respectively, and p mold well 10p and n mold well 10n are formed.

[0027]

The buffer silicon oxide film 2 is removed by the wet etching for example, by dilution fluoric acid after that. The silicon front face of an active region is exposed. Drug solution processing of particle removal, metal removal, etc. may be combined, and may be performed. In a silicon front face, the natural oxidation film called chemical oxide arises as a by-product of drug solution processing.

[0028]

In drawing 1, after exposing an active-region front face, hydrogen annealing and inert gas annealing of steps S6 and S7 are performed before gate oxidation.

Drawing 4 (H) shows hydrogen annealing. For example, in the hydrogen ambient atmosphere of 150 or less torrs, a silicon substrate 1 is heated at 900 degrees C – 1050 degrees C, and annealing of the finite time amount for 60 or less seconds is performed. The natural oxidation film formed in silicon substrate 1 front face of drug solution processing is etched by this hydrogen annealing, and is removed. To express the terrace of the crystal face and the configuration of a step is considered by silicon substrate 1 front face.

[0029]

Drawing 4 (I) shows inert gas annealing following hydrogen annealing. For example, a silicon substrate 1 is annealed between the owner time lags for 60 or less seconds at 500 degrees C – 1050 degrees C in helium ambient atmosphere of ordinary pressure or a reduced pressure condition. The migration of a silicon atom arises on silicon substrate 1 front face, a terrace edge etc. is made to carry out migration of the silicon atom separated on the terrace by this inert gas annealing, and it is thought that micro roughness is decreased. The fields of the shape of a local island decrease in number, surface surface smoothness improves, and average terrace length increases.

[0030]

Inert gas annealing may be performed in other inert gas ambient atmospheres, such as Ar besides helium ambient atmosphere. You may carry out in the other pressurization ambient atmosphere of reduced pressure and ordinary pressure. In addition, inert gas annealing is not necessarily an indispensable process, and may be omitted.

[0031]

As for drawing 4 (J), the structure of a terrace and a step when a macroscopic front face is flat is shown roughly. When [height h of a step] it is 2.7A equivalent to a monoatomic layer, die-length L of a terrace is dependent on the off angle type of a silicon substrate 1. (100) When the off-angle

type from a field is $\theta = 0.4$ degrees, the average terrace length L is ideally set to 37nm.

[0032]

(100) If the off angle type from a field is decreased at 0.05 degrees, the terrace length L will increase to 311nm. Thus, if an off angle type is set up low, large terrace length will become realizable. the front face of a silicon substrate 1 -- Men (100) -- it comes out just and, in a certain case, the terrace length L serves as infinity ideally. It is desirable to replace terrace length with the conventional off-angle-type 0.3 degree-0.5 degree from a viewpoint made large, and to adopt a small off angle type 0.2 degrees or less.

[0033]

since the X-ray measuring accuracy performed for wafer logging is 1 minute -- Men (100) -- even if it comes out just and cuts down a wafer, about ± 0.02 a little less than-degree off angle type may be generated. The direction aiming at crystal-face JASUTO with high symmetry is expressed as less than [off-angle-type 0.02 degree].

[0034]

Gate oxidation of step S8 in drawing 1 is performed following annealing treatment.

As shown in drawing 5 (K), to the silicon front face which the active region exposed, it oxidizes thermally, for example, gate oxide 11 with a thickness of about 2nm is formed. When the structure of a terrace like drawing 4 (J) and a step has expressed, since oxidation advances to homogeneity mostly, gate oxide is formed reflecting the configurations of a terrace and a step.

[0035]

After drawing 6 performs 1000 degrees C and hydrogen annealing for 3 seconds from a field (100) to the silicon substrate which formed 0.4-degree off-angle type, inert gas annealing shows the atomic force microscope (AFM) image of the front face which did not carry out but performed gate oxidation. Irregular irregularity is being distributed over the front face and the terrace and the step are not yet expressed. Rms which shows surface roughness was about 0.12nm.

[0036]

Drawing 7 performs 1000 degrees C and hydrogen annealing for 3 seconds to the silicon substrate which formed the off-angle type 0.02 degrees or less from the field (100), and inert gas annealing does not carry out but shows the AFM image of the front face at the time of performing gate oxidation. The configuration of a terrace is quite irregular although it is admitted that the step configuration of a flat terrace and a terrace edge has expressed.

In drawing 7, Rms which shows surface roughness was about 0.14nm. However, Rms was very as small as about 0.049nm in one step.

[0037]

Drawing 8 shows the AFM image of the front face which performed 1000 more degrees C and helium annealing for 10 seconds, and performed gate oxidation after that, after performing 1000 degrees C and hydrogen annealing for 3 seconds from a field (100) to the silicon substrate which formed the off-angle type 0.02 degrees or less. Clearly, a large terrace and a large step have expressed. A step is mostly observed in the $\langle 110 \rangle$ directions and the direction which intersects perpendicularly.

[0038]

In drawing 8, Rms which shows surface roughness was about 0.13nm. Rms was very as small as about 0.034nm in each terrace.

If terrace width of face becomes long, it will become easy to form the channel of an MOS transistor in one terrace or the terrace of the adjoining decimal. For example, the $\langle 110 \rangle$ directions can be formed in the terrace to which the MOS transistor of the direction of gate length, then large gate width was restricted. If the gate width direction is formed for an MOS transistor with narrow gate width as $\langle 110 \rangle$, it will become easy to connect between a source-drain on the terrace of one or a decimal. The semiconductor device which controlled dispersion of the carrier by the step is realizable.

[0039]

The following things can be reasoned from drawing 6 and the result of 7 and 8. Also when an off-angle type is 0.3–0.5 degrees as usual, by performing hydrogen annealing shows that surface roughness can be decreased. If an off angle type is decreased at 0.02 degrees or less, it will become that only hydrogen annealing tends to make a terrace and step structure express.

[0040]

The natural oxidation film on a silicon substrate surface is removed by annealing treatment, and the crystal-face structure of a terrace and a step actualizes. As for an off angle type, considering as 0.2 degrees or less is desirable.

[0041]

Following hydrogen annealing, if inert gas annealing is also performed, it will be easier to express the structure of a terrace and a step. If hydrogen annealing and inert gas annealing are performed in the substrate which decreased the off angle type, it will become possible to make a large terrace appear. If such a substrate is used, there is little surface irregularity and high carrier mobility will be able to be realized.

[0042]

It progresses to step S9 in drawing 1 after gate oxidation, and a gate electrode is formed. Then, the source / drain field formation of step S10 are performed, and wiring formation of step S11 is performed.

[0043]

Drawing 5 (L) shows the condition of being about 600 degrees C in temperature, and having formed the polycrystalline silicon layer 12 about 100nm in thickness by (low voltage LP) CVD on the silicon substrate surface in which gate dielectric film 11 was formed, for gate electrode formation. In addition, the silicone film with which the non dope silicone film also doped the impurity is sufficient as the polycrystalline silicon layer 12. In the case of the silicone film which doped the impurity, phosphorus (P) is doped in the field which forms an n channel MOS transistor, and it dopes boron (B) in the field which forms a p channel MOS transistor.

[0044]

As shown in drawing 5 (M), patterning of the polycrystalline silicon layer 12 is carried out using a resist mask, and the gate electrode 12 is formed. An ion implantation is performed and the LDD (lightly doped drain) field 15 is formed in gate electrode 12 both sides.

[0045]

Then, the oxidation silicone film 16 with a thickness of 10nm is deposited at the substrate temperature of 600 degrees C by LPCVD, for example, and the silicon nitride film 17 with a thickness of 90nm is deposited at the substrate temperature of about 600 degrees C by LPCVD on it. Then, it leaves the sidewall spacers 16 and 17 only on gate electrode 12 side attachment wall by performing anisotropic etching. The ion implantation the source / for drain field formation is performed, and the high concentration source / drain field 19 with a junction depth of 0.1 micrometers or less are formed.

[0046]

furthermore, the need -- responding -- Co etc. -- silicide -- the metal [–izing / a metal] is deposited on a front face and the silicide layer 20 is formed in the exposed silicon front face by forming oxygen shielding layers, such as TiN, on it, heating them if needed, and producing a silicide–ized reaction. An unreacted metal layer and an oxygen shielding layer remove.

[0047]

Then, a gate electrode is embedded by the insulator layer by the well-known approach, required W plug etc. is formed, an insulating layer is formed further, and a wiring layer is formed. The number of wiring layers prepares an arbitration number of layers if needed. Thus, semiconductor integrated circuit equipment can be formed.

[0048]

In the example explained above, etching removal of the natural oxidation film on a silicon substrate

surface etc. was carried out by hydrogen gas annealing, and the migration of a silicon atom was produced in helium gas annealing. Instead of helium gas, even if it uses other inert gas, the same effectiveness is expectable. For example, probably, Ar gas may be used.

[0049]

The semiconductor device to create is not limited to an MOS transistor. A field besides a field (100) (111) etc. is sufficient as the crystal face where symmetric property is high. In addition, probably, it will be obvious to this contractor for various modification, amelioration, and combination to be possible.

[0050]

[Effect of the Invention]

As explained above, according to this invention, the surface smoothness of a silicon substrate surface can be raised.

[0051]

Dispersion of a carrier is decreased and it becomes possible to realize high mobility.

Invention shown in the following additional remarks is drawn from the above-mentioned example.

(Additional remark 1) Process for which the silicon substrate which has the crystal face where (a) symmetric property is high, or a front face along the near is prepared,

(b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere containing hydrogen, and removing the natural oxidation film on a silicon front face,

(c) The inert gas annealing process of annealing said silicon substrate in an inert gas ambient atmosphere after said process (b), and producing the migration of a silicon atom,

(d) The process which forms gate dielectric film in said silicon substrate surface after said process (c),

The manufacture approach of a ***** semiconductor device.

[0052]

(Additional remark 2) Said process (b) is the manufacture approach of the semiconductor device the additional remark 1 publication performed the finite time for 60 or less seconds at 900 degrees C - 1050 degrees C.

(Additional remark 3) Said process (b) is the manufacture approach of the semiconductor device the additional remark 1 performed under reduced pressure lower than ordinary pressure, or two publications.

[0053]

(Additional remark 4) Said process (c) is the manufacture approach of the semiconductor device the additional remarks 1-3 for 60 or less seconds performed finite time amount length given in any 1 term at 500 degrees C - 1050 degrees C.

(Additional remark 5) Said process (c) is the manufacture approach of the semiconductor device the additional remarks 1-4 performed in helium ambient atmosphere given in any 1 term.

[0054]

(Additional remark 6) the epitaxial substrate with which said silicon substrate grew epitaxial layer silicon on the silicon substrate substrate with which the off angle type from a field (100) has the front face of 0.2 or less degrees -- it is -- further

(e) The process which forms a gate electrode on said gate dielectric film

The manufacture approach of the semiconductor device the ***** additional remark 1-5 given in any 1 term.

[0055]

(Additional remark 7) Process for which the silicon substrate which has the crystal face where (a) symmetric property is high, or a front face along the near is prepared,

(b) The hydrogen annealing process of annealing said silicon substrate in the ambient atmosphere which contains the finite time amount for 60 or less seconds, and hydrogen at 900 degrees C - 1050 degrees C, and removing the natural oxidation film,

(c) The process which forms gate dielectric film in said silicon substrate surface after said process (b),

The manufacture approach of a ***** semiconductor device.

[0056]

(Additional remark 8) Further,

(d) The inert gas annealing process of annealing said silicon substrate in an inert gas ambient atmosphere, and producing the migration of a silicon atom before said process (c),

The manufacture approach of the semiconductor device ***** additional remark 7 publication.

[0057]

(Additional remark 9) Said silicon substrate is an epitaxial substrate which grew the high resistivity epitaxial layer on the silicon substrate substrate of low resistivity, and it is a pan,

(x) Process which forms a shallow trench component isolation region before said process (b),

(y) The process which carries out drug solution processing of the substrate front face after said process (x), and exposes a silicon front face,

(e) The process which forms a gate electrode on said gate dielectric film after said process (c),

(f) The process which forms the source / drain impurity addition field with a junction depth of 0.1 micrometers or less in said gate electrode both sides,

The manufacture approach of the semiconductor device ***** additional remark 8 publication.

[0058]

(Additional remark 10) Silicon substrate substrate with which the off angle type from the crystal face where symmetric property is high has the front face of 0.02 or less degrees,

The epitaxial silicon layer which is formed on said silicon substrate substrate and has a terrace and the front face which the step actualized,

The shallow trench component isolation region which is formed into said epitaxial silicon layer and demarcates an active region,

Gate dielectric film formed on said active-region front face,

The gate electrode formed on said gate dielectric film,

The source / drain impurity addition field with a junction depth of 0.1 micrometers or less formed all over the active region on said gate electrode both sides,

The semiconductor device which ****.

[0059]

(Additional remark 11) The manufacture approach of a semiconductor device the additional remark 6 which has resistivity with said silicon substrate substrate lower than said epitaxial silicon layer, or given in nine.

(Additional remark 12) Semiconductor device of the additional remark 10 publication which has resistivity with said silicon substrate substrate lower than said epitaxial silicon layer.

[Brief Description of the Drawings]

[Drawing 1] It is the flow chart which shows the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 2] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 3] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 4] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 5] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 6] It is the AFM image of the front face of the silicon substrate created according to the example of this invention.

[Drawing 7] It is the AFM image of the front face of the silicon substrate created according to the

example of this invention.

[Drawing 8] It is the AFM image of the front face of the silicon substrate created according to the example of this invention.

[Description of Notations]

- 1 Silicon Substrate
- 2 Buffer Oxidation Silicone Film
- 3 Silicon Nitride Film
- 4 Resist Pattern
- 6 Trench
- 7 Oxidation Silicone Film
- 9 Oxidation Silicone Film
- 10 Well
- 11 Gate Oxide
- 12 Polycrystal Silicone Film
- 15 LDD Field
- 16 Oxidation Silicone Film
- 17 Silicon Nitride Film
- 19 High Concentration Source / Drain Field
- 20 Silicide Field

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the flow chart which shows the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 2] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 3] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 4] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 5] It is a sectional view for explaining the main processes of the manufacture approach of the semiconductor device by the example of this invention.

[Drawing 6] It is the AFM image of the front face of the silicon substrate created according to the example of this invention.

[Drawing 7] It is the AFM image of the front face of the silicon substrate created according to the example of this invention.

[Drawing 8] It is the AFM image of the front face of the silicon substrate created according to the example of this invention.

[Description of Notations]

- 1 Silicon Substrate
- 2 Buffer Oxidation Silicone Film
- 3 Silicon Nitride Film
- 4 Resist Pattern
- 6 Trench
- 7 Oxidation Silicone Film
- 9 Oxidation Silicone Film
- 10 Well
- 11 Gate Oxide
- 12 Polycrystal Silicone Film
- 15 LDD Field
- 16 Oxidation Silicone Film
- 17 Silicon Nitride Film
- 19 High Concentration Source / Drain Field
- 20 Silicide Field

[Translation done.]

* NOTICES *

JP0 and NCIP1 are not responsible for any damages caused by the use of this translation.

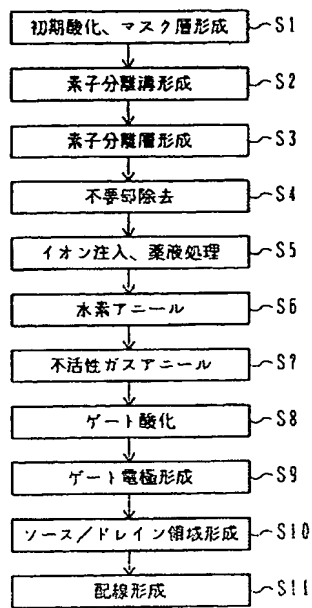
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

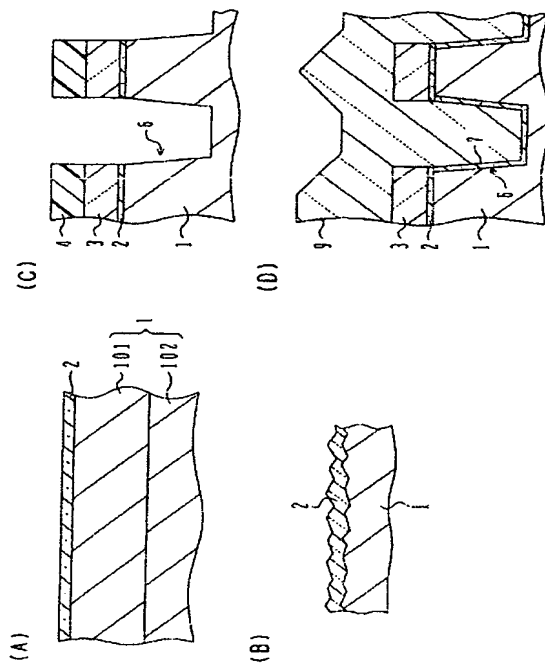
3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

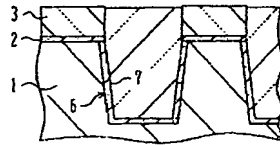


[Drawing 2]

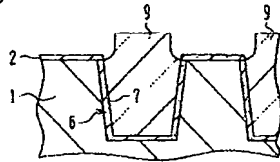


[Drawing 3]

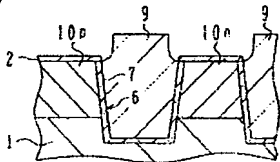
(E)



(F)

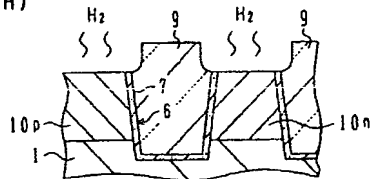


(G)

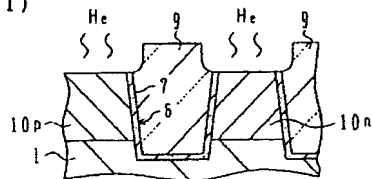


[Drawing 4]

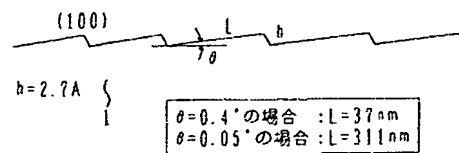
(H)



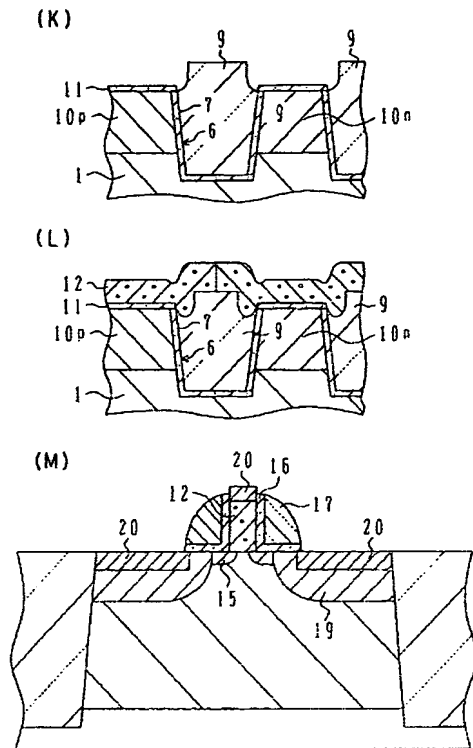
(I)



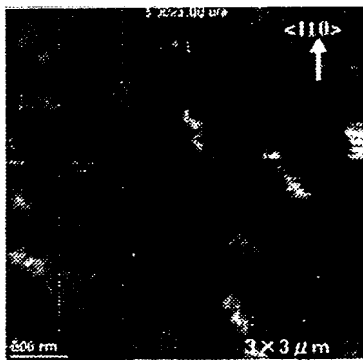
(J)



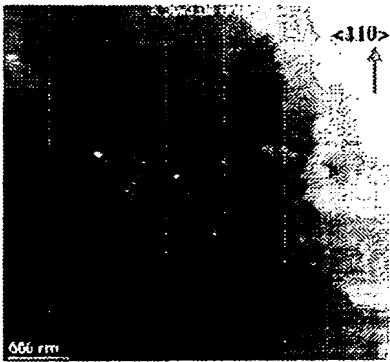
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-152965

(P2004-152965A)

(43) 公開日 平成16年5月27日 (2004. 5. 27)

(51) Int. Cl. 7

F I

テーマコード (参考)

H 0 1 L 21/324

H 0 1 L 21/324

X

5 F 0 5 8

H 0 1 L 21/316

H 0 1 L 21/316

S

5 F 1 4 0

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 1 0 O L

(全 1 3 頁)

(21) 出願番号 特願2002-315901 (P2002-315901)

(22) 出願日 平成14年10月30日 (2002. 10. 30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(74) 代理人 100091340

弁理士 高橋 敬四郎

(74) 代理人 100105887

弁理士 来山 幹雄

(72) 発明者 井上 裕子

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72) 発明者 田村 直義

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

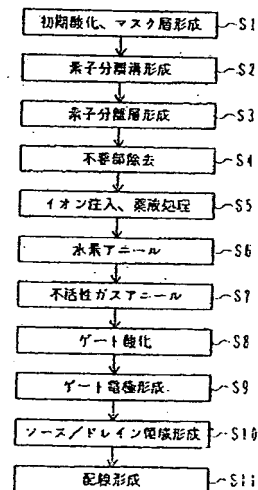
(54) 【発明の名称】 半導体装置の製造方法と半導体装置

(57) 【要約】

【課題】 シリコン基板表面のマイクロラフネスを減少させる技術を提供する。

【解決手段】 半導体装置の製造方法は、(a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、(b) 前記シリコン基板を水素を含む雰囲気中でアニールし、自然酸化膜を除去する水素アニール工程と、(c) 前記工程 (b) の後、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程と、(d) 前記工程 (c) の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

(a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、

(b) 前記シリコン基板を水素を含む雰囲気中でアニールし、シリコン表面上の自然酸化膜を除去する水素アニール工程と、

(c) 前記工程 (b) の後、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程と、

(d) 前記工程 (c) の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法。

【請求項 2】

前記工程 (b) は、 $900^{\circ}\text{C} \sim 1050^{\circ}\text{C}$ で 60 秒以下の有限時間行われる請求項 1 記載の半導体装置の製造方法。

【請求項 3】

前記工程 (b) は、常圧より低い減圧下で行われる請求項 1 または 2 記載の半導体装置の製造方法。

【請求項 4】

前記工程 (c) は、 $500^{\circ}\text{C} \sim 1050^{\circ}\text{C}$ で 60 秒以下の有限時間長行われる請求項 1 ～ 3 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 5】

前記工程 (c) は、He 雰囲気中で行われる請求項 1 ～ 4 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 6】

前記シリコン基板が、(100) 面からのオフアングルが 0.2 度以下の表面を有するシリコン下地基板上に、エピタキシャル層シリコンを成長したエピタキシャル基板であり、さらに

(e) 前記ゲート絶縁膜上にゲート電極を形成する工程を含む請求項 1 ～ 5 のいずれか 1 項記載の半導体装置の製造方法。

【請求項 7】

(a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、

(b) 前記シリコン基板を、 $900^{\circ}\text{C} \sim 1050^{\circ}\text{C}$ で 60 秒以下の有限時間、水素を含む雰囲気中でアニールし、自然酸化膜を除去する水素アニール工程と、

(c) 前記工程 (b) の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法。

【請求項 8】

さらに、

(d) 前記工程 (c) の前に、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程、を含む請求項 7 記載の半導体装置の製造方法。

【請求項 9】

前記シリコン基板が、低抵抗率のシリコン下地基板上に高抵抗率エピタキシャル層を成長したエピタキシャル基板であり、さらに、

(x) 前記工程 (b) 前にシャロートレンチ素子分離領域を形成する工程と、

(y) 前記工程 (x) の後、基板表面を薬液処理し、シリコン表面を露出する工程と、

(e) 前記工程 (c) の後、前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(f) 前記ゲート電極両側に、接合深さ $0.1 \mu\text{m}$ 以下のソース/ドレイン不純物添加領域を形成する工程と、

を含む請求項 8 記載の半導体装置の製造方法。

【請求項 10】

10

20

30

40

50

対称性の高い結晶面からのオフアングルが 0.02 度以下の表面を有するシリコン下地基板と、
前記シリコン下地基板上に形成され、テラスとステップが顕在化した表面を持つエピタキシャルシリコン層と、
前記エピタキシャルシリコン層中に形成され、活性領域を画定するシャロートレンチ素子分離領域と、
前記活性領域表面上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極両側で活性領域中に形成された接合深さ $0.1\mu\text{m}$ 以下のソース／ドレイン不純物添加領域と、
を有する半導体装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法および半導体装置に関し、特にキャリア輸送領域が浅い半導体装置の製造方法および半導体装置に関する。

【0002】

【関連技術】

シリコン基板に種々の半導体素子を形成することにより、種々の半導体装置が形成される。代表的な半導体素子は、 n チャネル及び p チャネルのMOSトランジスタである。

20

【0003】

近年、集積度の向上と共に、半導体集積回路装置を構成する半導体素子は微細化を続けている。微細化と共に、MOSトランジスタのゲート長は短くなり、ソース／ドレイン領域の接合深さは浅くなる。ゲート電極下のチャネル領域を流れる電子、正孔等のキャリアは、より半導体基板の表面近傍を輸送されることになる。半導体基板の表面に凹凸が存在すると、この凹凸がキャリアに対する散乱中心を形成するであろう。散乱中心が多いと、移動度が低下することになる。この観点から、チャネル領域の表面は平坦な方が好ましい。

【0004】

MOS型半導体集積回路装置のハイエンド品用に、低抵抗率の下地シリコン基板上に、結晶欠陥が少なく、高抵抗率のエピタキシャル層を形成したエピタキシャル基板が用いられる。MOS型半導体集積回路装置用のシリコンウエハは、通常 (100) 面方向にカットされている。

30

【0005】

(100) 面に厳密に整合した表面を有するシリコン基板上には、エピタキシャル成長がし難く、異常成長が生じ、表面ヘイズ（荒れ）を生じさせ易い。表面ヘイズは、パーティクルカウンター等によりパーティクルとしてカウントされる場合があり、歩留りを上げ難くなる。

【0006】

このため、 (100) エピタキシャル基板として、 (100) 面から意識的に約 $0.3\sim 0.5$ 度程度オフアングルを付けた表面を有する基板が用いられる。オフアングルを設けた下地基板上には、エピタキシャル成長がし易く、表面ヘイズが生じ難い。通常、 (100) 面から x 方向、 y 方向にオフアングルを設けている。

40

【0007】

半導体集積回路装置の製造工程においては、パーティクル除去、金属汚染除去等を目的とし、エピタキシャル成長後にシリコン表層を溶解させる薬液処理を行っている。これらの結果、半導体集積回路装置の活性領域表層のマイクロラフネスは決してよくない。このため、表面の凹凸によりキャリアの散乱が生じていることが予想される。

【0008】

又、微細化と共にゲート絶縁膜は薄くなっている。マイクロラフネスの大きい基板表面に形成したゲート絶縁膜は耐圧が低くなり易い。また、薄いゲート酸化膜を形成するために

50

は、活性領域表面に自然酸化膜等の不完全な酸化膜が存在しないことが好ましい。なお、本明細書においては、薬液処理等により生じる不完全な化学酸化膜も自然酸化膜と呼ぶ。

【0009】

シリコン基板表面の平坦性を向上させるため、又はゲート絶縁膜の耐圧を向上させるため、真空中、水素ガス中又はArガス中で高温アニールを行うことが提案されている。

【0010】

【特許文献1】

特開平9-51097号公報

【特許文献2】

特開平8-321443号公報

【特許文献3】

特開平5-347256号公報

【0011】

【発明が解決しようとする課題】

本発明の目的は、シリコン基板表面のマイクロラフネスを減少させる技術を提供することである。

【0012】

本発明の他の目的は、シリコン基板表面にステップとテラスの形状を回復する処理を行なう方法を提供することである。

本発明のさらに他の目的は、表面の平坦性を向上し、電子的特性を向上した半導体装置を提供することである。

【0013】

【課題を解決するための手段】

本発明の1観点によれば、(a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、(b) 前記シリコン基板を水素を含む雰囲気中でアニールし、シリコン表面上の自然酸化膜を除去する水素アニール工程と、(c) 前記工程(b)の後、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程と、(d) 前記工程(c)の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法が提供される。

【0014】

ここで、対称性の高い結晶面の近傍とは、(100)面等の対称性の高い結晶面からのオフアングルが約0.2度以下の面を指す。

本発明の他の観点によれば、(a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、(b) 前記シリコン基板を、900℃～1050℃で60秒以下の有限時間、水素を含む雰囲気中でアニールし、自然酸化膜を除去する水素アニール工程と、(c) 前記工程(b)の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法が提供される。

【0015】

ここで、対称性の高い結晶面の近傍とは、(100)面等の対称性の高い結晶面からのオフアングルが約0.2度以下の面を指す。

本発明のさらに他の観点によれば、対称性の高い結晶面からのオフアングルが0.02度以下の表面を有する低抵抗率のシリコン下地基板と、前記シリコン下地基板上に形成され、より高い抵抗率を有し、テラスとステップが顕在化した表面を持つエピタキシャルシリコン層と、前記エピタキシャルシリコン層中に形成され、活性領域を画定するシャロートレンチ素子分離領域と、前記活性領域表面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極両側で活性領域中に形成された接合深さ0.1μm以下のソース/ドレイン不純物添加領域と、を有する半導体装置が提供される。

【0016】

10

20

30

40

50

【発明の実施の形態】

以下、図面を参照して本発明の実施例を説明する。

図1は、本発明の実施例による半導体装置の製造方法の主要工程を示すフローチャートである。図2～5の断面図を参照しながら、半導体装置の製造方法を説明する。まず、ステップS1において、シリコン基板の表面に初期酸化を行ない、続いて窒化シリコン膜のマスク層を形成する。

【0017】

図2 (A) に示すように、低抵抗率下地シリコン基板100上に、高抵抗率エピタキシャル層101を成長したエピタキシャルシリコン基板1の表面に、例えば厚さ約10nmのバッファ酸化シリコン膜2を熱酸化により形成する。この酸化シリコン膜はその上に形成する窒化シリコン膜に対するバッファ層として機能し、窒化シリコン膜の与えるストレスを緩和する。

【0018】

下地のシリコン基板100は、対称性の高い結晶面またはその近傍に沿う表面、例えば(100)面から0.2度以下の表面を有する。

図2 (B) に示すように、シリコン基板1表面にはマイクロラフネスが存在し、(100)面などの結晶面は顕在化していない。熱酸化膜2は表面の凹凸を反映して成長する。

【0019】

図2 (C) に示すように、バッファ酸化シリコン膜2の上に、例えば厚さ約100～150nmの窒化シリコン膜3を化学気相堆積(CVD)により堆積する。窒化シリコン膜3は、後のエッチング工程においてマスク層として機能する。

【0020】

図1に戻り、ステップS1に続き、ステップS2において、素子分離溝の形成を行う。

図2 (C) に示すように、素子分離溝を形成するため、窒化シリコン膜3の上に、ホトレジスト層を塗布し、露光現像して素子分離領域形成用のレジストパターン4を形成する。レジストパターン4は、素子分離溝に対応する開口を有する。

【0021】

レジストパターン4をマスクとして、窒化シリコン膜3、酸化シリコン膜2をエッチングし、さらにシリコン基板1をエッチングして、例えば深さ500nmのトレンチ6を形成する。窒化シリコン膜3が、トレンチをエッチングする時のマスクとして機能し、トレンチの形状を正確に保つ。

【0022】

なお、窒化シリコン膜、酸化シリコン膜のエッチングは、 CF_4 、 CHF_3 、Arの混合ガスをエッチングガスとして用いる。シリコン基板のエッチングは、例えばHBr、 O_2 の混合ガスをエッチングガスとして用いる。その後、レジストパターン4は除去する。このようにして素子分離溝が形成される。

【0023】

図1に戻り、ステップS2に続きステップS3を行い、素子分離層を形成する。

図2 (D) に示すように、先ずトレンチ6に露出したシリコン基板1表面上に、熱酸化により例えば厚さ約10nmの酸化シリコン膜7を形成する。酸化シリコン膜7が形成されたトレンチ6を埋め込むように、例えば高密度プラズマ(HDP)化学気相堆積(CVD)により、酸化シリコン膜9を例えば厚さ500nm堆積する。酸化シリコン膜9は、下地表面の凹凸に従い、凹凸のある表面を形成する。

【0024】

図1において、ステップS3に続き、ステップS4を行い、形成した膜の不要部分を除去する。

図3 (E) に示すように、例えば化学機械研磨(CMP)により、窒化シリコン膜3表面の酸化シリコン膜9を研磨し、平坦な表面を形成する。CMPは、窒化シリコン膜3で停止させる。その後、窒素(N_2)雰囲気中、例えば1000℃でアニールを行ない、埋め込み酸化シリコン膜9の緻密化を行なうことが好ましい。

【0025】

図3 (F) に示すように、素子分離溝形成用のマスクとして用いた窒化シリコン膜3を熱リン酸でウェットエッチングして除去する。埋め込み酸化シリコン膜9も若干エッチングされる。

【0026】

図1において、ステップS4に続き、ステップS5でウエル形成用のイオン注入、イオン注入後のバッファ酸化シリコン膜除去のための薬液処理等を行う。

図3 (G) に示すように、レジストマスクでnチャネル領域、pチャネル領域を個々に露出し、それぞれ酸化シリコン膜2を介してイオン注入を行なってp型ウエル10p、n型ウエル10nを形成する。

【0027】

その後バッファ酸化シリコン膜2は、例えば希釈フッ酸によるウェットエッチングで除去する。活性領域のシリコン表面が露出する。パーティクル除去、金属除去などの薬液処理を併せて行ってもよい。薬液処理の副産物としてシリコン表面にはケミカルオキシサイドと呼ばれる自然酸化膜が生じる。

【0028】

図1において、活性領域表面を露出した後、ゲート酸化前に、ステップS6、S7の水素アニール及び不活性ガスアニールを行う。

図4 (H) は、水素アニールを示す。例えば150 torr以下の水素雰囲気中で、シリコン基板1を900℃～1050℃に加熱し、60秒以下の有限時間のアニールを行う。薬液処理によりシリコン基板1表面に形成された自然酸化膜は、この水素アニールによりエッチングされて除去される。シリコン基板1表面には、結晶面のテラスとステップの形状が表出されると考えられる。

【0029】

図4 (I) は、水素アニールに続く不活性ガスアニールを示す。例えば、常圧又は減圧状態のHe雰囲気中でシリコン基板1を500℃～1050℃で60秒以下の有限時間アニールする。この不活性ガスアニールにより、シリコン基板1表面でシリコン原子のマイグレーションが生じ、テラス上の分離したシリコン原子等をテラス端部等にマイグレーションさせ、マイクロラフネスを減少させると考えられる。局所的なアイランド状の領域が減少し、表面の平坦性が向上し、平均的テラス長が増大する。

【0030】

不活性ガスアニールは、He雰囲気その他、Ar等他の不活性ガス雰囲気で行ってもよい。減圧、常圧の他加圧雰囲気で行なってもよい。なお、不活性ガスアニールは必ずしも必須工程ではなく、省略してもよい。

【0031】

図4 (J) は、巨視的な表面が平坦な場合の、テラスとステップの構造を概略的に示す。ステップの高さhが単原子層に相当する2.7Åであるとした場合、テラスの長さLは、シリコン基板1のオフアングルに依存する。(100)面からのオフアングルが $\theta = 0.4^\circ$ の場合、平均的テラス長Lは、理想的には37nmとなる。

【0032】

(100)面からのオフアングルを 0.05° に減少させると、テラス長Lは311nmに増加する。このように、オフアングルを低く設定すれば、広いテラス長が実現可能となる。シリコン基板1の表面が、(100)面ジャストである場合、テラス長Lは理想的には無限大となる。テラス長を広くする観点からは、従来のオフアングル $0.3^\circ \sim 0.5^\circ$ に代え、 0.2° 以下の小さいオフアングルを採用することが好ましい。

【0033】

ウェハ切り出しのために行われるX線測定の精度は、1分であるため、(100)面ジャストでウェハを切り出しても、約 $\pm 0.02^\circ$ 弱のオフアングルが発生し得る。対称性の高い結晶面ジャストを目的とした方向をオフアングル 0.02° 以下と表現する。

【0034】

10

20

30

40

50

アニール処理に続き、図1におけるステップS8のゲート酸化を行なう。

図5 (K) に示すように、活性領域の露出したシリコン表面に対し、熱酸化を行い、例えば厚さ約2 nmのゲート酸化膜11を形成する。図4 (J) のようなテラスとステップの構造が表出している場合、酸化はほぼ均一に進行するため、テラスとステップの形状を反映してゲート酸化膜が形成される。

【0035】

図6は、(100)面から0.4°オフアングルを設けたシリコン基板に対し、1000℃、3秒間の水素アニールを行った後、不活性ガスアニールは行わずゲート酸化を行なった表面の原子間力顕微鏡 (AFM) 像を示す。表面に不規則な凹凸が、分布をしており、テラスとステップは未だ表出されていない。表面の荒さを示すRmsは、約0.12 nmであった。 10

【0036】

図7は、(100)面から0.02°以下のオフアングルを設けたシリコン基板に対し、1000℃、3秒間の水素アニールを行い、不活性ガスアニールは行わず、ゲート酸化を行なった場合の表面のAFM像を示す。平坦なテラス、テラス端部のステップ形状が表出していることが認められるが、テラスの形状はかなり不規則である。

図7において、表面の荒さを示すRmsは約0.14 nmであった。但し、1つのステップ内においては、Rmsは約0.049 nmと極めて小さかった。

【0037】

図8は、(100)面から0.02°以下のオフアングルを設けたシリコン基板に対し、1000℃、3秒間の水素アニールを行った後、さらに1000℃、10秒間のHeアニールを行い、その後ゲート酸化を行なった表面のAFM像を示す。明らかに、広いテラスとステップが表出している。ステップは、ほぼ<110>方向と直交する方向に観察される。 20

【0038】

図8において、表面の荒さを示すRmsは約0.13 nmであった。各テラス内においては、Rmsは、約0.034 nmと極めて小さかった。

テラス幅が長くなれば、1つのテラス内、又は隣接する小数のテラス内にMOSトランジスタのチャネルを形成することが容易になる。例えば、<110>方向をゲート長方向とすれば広いゲート幅のMOSトランジスタを限られたテラス内に形成することができる。ゲート幅の狭いMOSトランジスタを、ゲート幅方向を<110>として形成すれば、ソースドレイン間を1つ又は小数のテラスで接続することが容易になる。ステップによるキャリアの散乱を抑制した半導体素子を実現できる。 30

【0039】

図6、7、8の結果から以下のことが推論できる。オフアングルが従来同様0.3~0.5°の場合にも、水素アニールを行うことにより、表面ラフネスを減少できることが分かる。オフアングルを0.02°以下に減少させると、水素アニールのみでもテラスとステップ構造を表出させやすくなる。

【0040】

アニール処理により、シリコン基板表面上の自然酸化膜が除去されてテラスとステップの結晶面構造が顕在化する。オフアングルは0.2°以下とすることが好ましい。 40

【0041】

水素アニールに続き、不活性ガスアニールも行うとテラスとステップの構造がより表出しやすい。オフアングルを減少させた基板において水素アニールと不活性ガスアニールを行うと、広いテラスを現出させることが可能となる。このような基板を用いれば、表面の凹凸が少なく、高いキャリア移動度を実現できるであろう。

【0042】

ゲート酸化の後、図1におけるステップS9に進み、ゲート電極を形成する。その後、ステップS10のソース/ドレイン領域形成を行い、ステップS11の配線形成を行う。

【0043】

図5 (L) は、ゲート電極形成のために、ゲート絶縁膜11を形成したシリコン基板表面上に、多結晶シリコン層12を、例えば600℃程度の温度で、低圧 (LP) CVDにより厚さ約100nm形成した状態を示す。なお、多結晶シリコン層12は、ノンドーパシリコン膜でも不純物をドーパしたシリコン膜でもよい。不純物をドーパしたシリコン膜の場合は、nチャネルMOSトランジスタを形成する領域にはリン (P) をドーパし、pチャネルMOSトランジスタを形成する領域にはボロン (B) をドーパする。

【0044】

図5 (M) に示すように、多結晶シリコン層12をレジストマスクを用いてパターンニングし、ゲート電極12を形成する。イオン注入を行なってゲート電極12両側にLDD (lightly doped drain) 領域15を形成する。

【0045】

その後、例えば厚さ10nmの酸化シリコン膜16をLPCVDにより基板温度600℃で堆積し、その上にLPCVDにより例えば厚さ90nmの窒化シリコン膜17を基板温度600℃程度で堆積する。その後、異方性エッチングを行うことにより、ゲート電極12側壁上にのみサイドウォールスペーサ16、17を残す。ソース/ドレイン領域形成用のイオン注入を行ない、接合深さ0.1μm以下の高濃度ソース/ドレイン領域19を形成する。

【0046】

さらに、必要に応じてCo等のシリサイド化可能な金属を表面に堆積し、必要に応じてTiN等の酸素遮蔽層をその上に形成し、加熱してシリサイド化反応を生じさせることにより、露出しているシリコン表面にシリサイド層20を形成する。未反応金属層、酸素遮蔽層は除去する。

【0047】

その後、公知の方法により絶縁膜でゲート電極を埋め込み、必要なWプラグ等を形成し、さらに絶縁層を形成し、配線層を形成する。配線層数は必要に応じて任意層数を設ける。このようにして、半導体集積回路装置を形成することができる。

【0048】

以上説明した実施例においては、水素ガスアニールによりシリコン基板表面上の自然酸化膜等をエッチング除去し、Heガスアニールでシリコン原子のマイグレーションを生じさせた。Heガスの代わりに、他の不活性ガスを用いても同様の効果が期待できる。例えば、Arガスを用いてもよいであろう。

【0049】

作成する半導体素子はMOSトランジスタに限定されない。対称性の高い結晶面は(100)面の他(111)面等でもよい。その他、種々の変更、改良、組合わせが可能なことは当業者に自明であろう。

【0050】

【発明の効果】

以上説明したように、本発明によれば、シリコン基板表面の平坦性を向上させることができる。

【0051】

キャリアの散乱を減少させ、高移動度を実現することが可能となる。

上記実施例から、以下の付記に示された発明が導出される。

(付記1) (a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、

(b) 前記シリコン基板を水素を含む雰囲気中でアニールし、シリコン表面上の自然酸化膜を除去する水素アニール工程と、

(c) 前記工程(b)の後、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程と、

(d) 前記工程(c)の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法。

【0052】

(付記2) 前記工程(b)は、900℃～1050℃で60秒以下の有限時間行われる付記1記載の半導体装置の製造方法。

(付記3) 前記工程(b)は、常圧より低い減圧下で行われる付記1または2記載の半導体装置の製造方法。

【0053】

(付記4) 前記工程(c)は、500℃～1050℃で60秒以下の有限時間長行われる付記1～3のいずれか1項記載の半導体装置の製造方法。

(付記5) 前記工程(c)は、He雰囲気中で行われる付記1～4のいずれか1項記載の半導体装置の製造方法。

【0054】

(付記6) 前記シリコン基板が、(100)面からのオフアングルが0.2度以下の表面を有するシリコン下地基板の上に、エピタキシャル層シリコンを成長したエピタキシャル基板であり、さらに

(e) 前記ゲート絶縁膜上にゲート電極を形成する工程を含む付記1～5のいずれか1項記載の半導体装置の製造方法。

【0055】

(付記7) (a) 対称性の高い結晶面、またはその近傍に沿う表面を有するシリコン基板を準備する工程と、

(b) 前記シリコン基板を、900℃～1050℃で60秒以下の有限時間、水素を含む雰囲気中でアニールし、自然酸化膜を除去する水素アニール工程と、

(c) 前記工程(b)の後、前記シリコン基板表面にゲート絶縁膜を形成する工程と、を含む半導体装置の製造方法。

【0056】

(付記8) さらに、

(d) 前記工程(c)の前に、前記シリコン基板を不活性ガス雰囲気中でアニールし、シリコン原子のマイグレーションを生じさせる不活性ガスアニール工程、を含む付記7記載の半導体装置の製造方法。

【0057】

(付記9) 前記シリコン基板が、低抵抗率のシリコン下地基板の上に高抵抗率エピタキシャル層を成長したエピタキシャル基板であり、さらに、

(x) 前記工程(b)前にシャロートレンチ素子分離領域を形成する工程と、

(y) 前記工程(x)の後、基板表面を薬液処理し、シリコン表面を露出する工程と、

(e) 前記工程(c)の後、前記ゲート絶縁膜の上にゲート電極を形成する工程と、

(f) 前記ゲート電極両側に、接合深さ0.1μm以下のソース/ドレイン不純物添加領域を形成する工程と、

を含む付記8記載の半導体装置の製造方法。

【0058】

(付記10) 対称性の高い結晶面からのオフアングルが0.02度以下の表面を有するシリコン下地基板と、

前記シリコン下地基板の上に形成され、テラスとステップが顕在化した表面を持つエピタキシャルシリコン層と、

前記エピタキシャルシリコン層中に形成され、活性領域を画定するシャロートレンチ素子分離領域と、

前記活性領域表面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極両側で活性領域中に形成された接合深さ0.1μm以下のソース/ドレイン不純物添加領域と、

を有する半導体装置。

【0059】

(付記 1 1) 前記シリコン下地基板が前記エピタキシャルシリコン層より低い抵抗率を有する付記 6 または 9 記載の半導体装置の製造方法。

(付記 1 2) 前記シリコン下地基板が前記エピタキシャルシリコン層より低い抵抗率を有する付記 10 記載の半導体装置。

【図面の簡単な説明】

【図 1】本発明の実施例による半導体装置の製造方法の主要工程を示すフローチャートである。

【図 2】本発明の実施例による半導体装置の製造方法の主要工程を説明するための断面図である。

【図 3】本発明の実施例による半導体装置の製造方法の主要工程を説明するための断面図である。

【図 4】本発明の実施例による半導体装置の製造方法の主要工程を説明するための断面図である。

【図 5】本発明の実施例による半導体装置の製造方法の主要工程を説明するための断面図である。

【図 6】本発明の実施例により作成したシリコン基板の表面の A F M 像である。

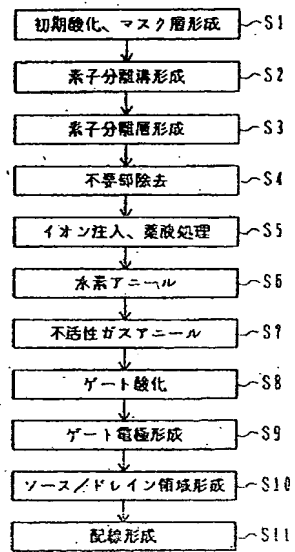
【図 7】本発明の実施例により作成したシリコン基板の表面の A F M 像である。

【図 8】本発明の実施例により作成したシリコン基板の表面の A F M 像である。

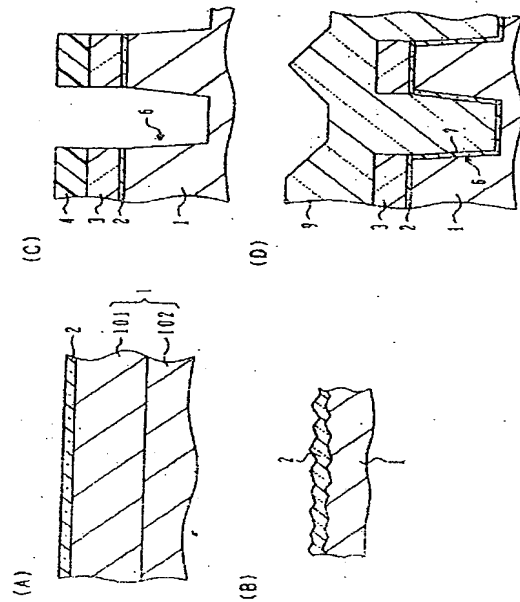
【符号の説明】

- 1 シリコン基板
- 2 バッファ酸化シリコン膜
- 3 窒化シリコン膜
- 4 レジストパターン
- 6 トレンチ
- 7 酸化シリコン膜
- 9 酸化シリコン膜
- 10 ウェル
- 11 ゲート酸化膜
- 12 多結晶シリコン膜
- 15 L D D 領域
- 16 酸化シリコン膜
- 17 窒化シリコン膜
- 19 高濃度ソース／ドレイン領域
- 20 シリサイド領域

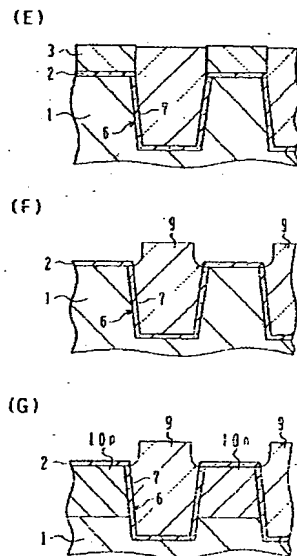
【図 1】



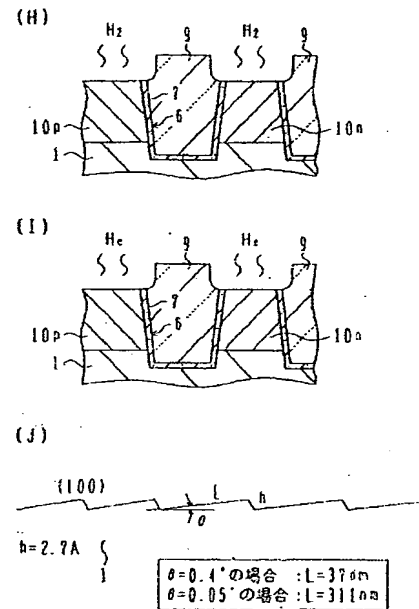
【図 2】



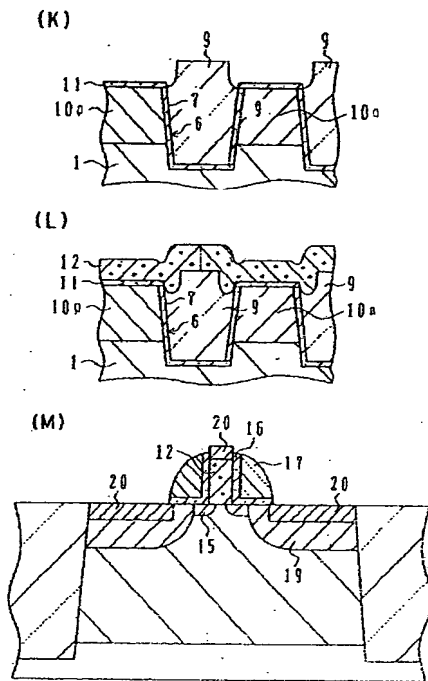
【図 3】



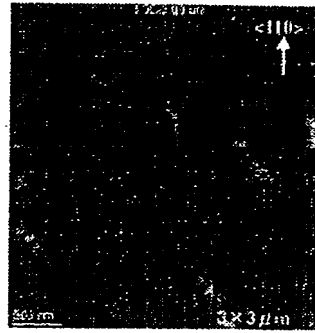
【図 4】



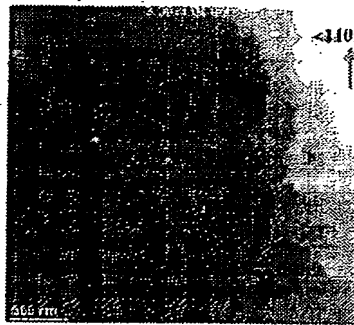
【図 5】



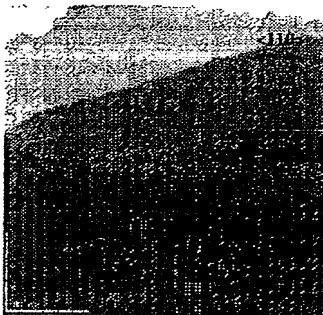
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 堀 充明

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F058 BA06 BA09 BC02 BE10 BF62 BF63 BJ01 BJ10

5F140 AA01 AA15 BA01 BA20 BE01 BE07 BF04 BF11 BF18 BF60

BG09 BG12 BG14 BG28 BG31 BG34 BG37 BG52 BG53 BH15

BJ08 BJ11 BJ17 BJ27 BK02 BK13 BK23 BK34 CB04 CB08

CF04 CF05